

0350470

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-286515

[ST.10/C]:

[JP 2002-286515]

出 願 人

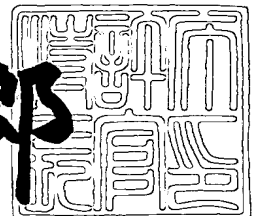
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025656

【書類名】 特許願

【整理番号】 A000202995

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 積層型半導体装置

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 松尾 美恵

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 依田 孝

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層型半導体装置

【特許請求の範囲】

【請求項 1】

所定の半導体集積回路チップと、該所定の半導体集積回路チップ以外の少なくとも 1 以上の半導体集積回路チップとが積層された積層型半導体装置であって、

前記少なくとも 1 以上の半導体集積回路チップは、複数の回路ブロックからなるグループを含み、

前記所定の半導体集積回路チップは、前記グループのなかに不良の回路ブロックが含まれている場合に該不良の回路ブロックを特定するための不良情報を記憶する記憶部と、前記不良の回路ブロックを置き換えるための置き換え回路部と、を含む

ことを特徴とする積層型半導体装置。

【請求項 2】

前記グループに含まれる回路ブロックは、ロジック回路ブロックである

ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 3】

前記置き換え回路部は、前記不良の回路ブロックと等価な回路を有している

ことを特徴とする請求項 2 に記載の積層型半導体装置。

【請求項 4】

前記置き換え回路部は、前記グループに含まれる回路ブロックそれぞれに対して等価な回路を構成可能なものである

ことを特徴とする請求項 2 に記載の積層型半導体装置。

【請求項 5】

前記グループに含まれる回路ブロックは、メモリ回路ブロックである

ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 6】

前記グループに含まれる回路ブロックは、互いに等価な回路を有している

ことを特徴とする請求項 5 に記載の積層型半導体装置。

【請求項 7】

前記置き換え回路部は、前記グループに含まれる回路ブロックと等価な回路を有している

ことを特徴とする請求項 6 に記載の積層型半導体装置。

【請求項 8】

前記所定の半導体集積回路チップは、前記記憶部からの不良情報と前記不良の回路ブロックをアクセスするための情報とに基づいて前記置き換え回路を選択する選択部をさらに含む

ことを特徴とする請求項 5 に記載の積層型半導体装置。

【請求項 9】

前記少なくとも 1 以上の半導体集積回路チップは、前記記憶部からの不良情報に基づいて、前記グループに含まれる回路ブロックと前記置き換え回路部との間の入出力関係を制御する入出力制御部をさらに含む

ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 10】

前記記憶部はヒューズ部を含み、該ヒューズ部は外部からエネルギービームを照射可能な所定位置に配置されている

ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 11】

前記所定位置は、前記所定の半導体集積回路チップが前記少なくとも 1 以上の半導体集積回路チップとオーバーラップしない領域に含まれる

ことを特徴とする請求項 10 に記載の積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の半導体集積回路チップが積層された積層型半導体装置に関する。

【0002】

【従来の技術】

電子機器の小型化の要請に対し、複数の半導体集積回路チップ（LSIチップ）を積層した積層型半導体装置（マルチチップデバイス）が提案されている。

【 0 0 0 3 】

積層型半導体装置を作製する場合、各チップについて個別に動作テスト等を行い、正常なチップのみを選別して積層する方法が考えられる。しかしながら、個々のチップについてテストを行うことは、テストに費やされる時間や手間の増大につながり、コストの上昇や納期の遅延といった問題が生じる。

【 0 0 0 4 】

このような問題に対して、各チップについての個別のテストは行わずにチップを積層し、積層後にモジュール全体のテストを行うという方法も考えられる。しかしながら、積層されたチップの中に一つでも不良チップがあれば、モジュール全体としても不良となってしまう。したがって、結果的に歩留まりが低下し、コストの上昇を招くといった問題が生じる。また、チップ毎に冗長回路を設けることも考えられるが、各チップに余分な回路を設けるために無駄が多く、やはりコストの上昇につながる。

【 0 0 0 5 】

したがって、従来は、チップを積層した状態でテストが可能であり、しかも歩留まりの低下や余分な回路の増大を防止することが可能な積層型半導体装置を得ることが困難であった。

【 0 0 0 6 】

公知技術として、特許文献 1 には、一つのチップが複数の機能ブロックを有し、不良ブロックを他のチップで置き換えるという技術が開示されている。具体的には、機能ブロック毎に各機能ブロックと鏡面对象なチップを予め作製しておき、不良機能ブロック上に鏡面对象なチップを積層するというものである。しかしながら、鏡面对象チップを積層する前に予めテストを行う必要があり、時間や手間の増大につながる。また、機能ブロック毎に鏡面对象チップを作製しておかなければならず、これも時間や手間の増大につながる。

【 0 0 0 7 】

特許文献 2 には、アドレス空間の一部が正常に機能しない不良チップ（パース

ャルチップ) どうしを組み合わせ、積層型の D R A M を構成するという技術が開示されている。しかしながら、積層する前に予め不良チップか否かのテストを行う必要があり、時間や手間の増大につながる。

【 0 0 0 8 】

特許文献 3 には、複数の D R A M チップを積層した半導体装置において、各 D R A M チップに冗長回路を設けた構成が開示されている。しかしながら、チップ毎に冗長回路を設けておくため、無駄が多くなり、結果的にコストの上昇につながる。

【 0 0 0 9 】

【特許文献 1】

特許第 2 7 6 0 1 8 8 号明細書

【 0 0 1 0 】

【特許文献 2】

特開 2 0 0 0 - 3 4 9 2 2 9 号公報

【 0 0 1 1 】

【特許文献 3】

特開平 5 - 2 8 3 6 0 6 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

このように、複数の半導体集積回路チップを積層した積層型半導体装置が提案されているが、従来は、チップを積層した状態でテストが可能であり、しかも歩留まりの低下や余分な回路の増大を防止することが可能な積層型半導体装置を得ることが困難であった。

【 0 0 1 3 】

本発明は、上記従来の課題を解決することが可能な積層型半導体装置を提供することを目的としている。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の一態様に係る積層型半導体装置は、所定の半導体集積回路チップと、

該所定の半導体集積回路チップ以外の少なくとも1以上の半導体集積回路チップとが積層された積層型半導体装置であって、前記少なくとも1以上の半導体集積回路チップは、複数の回路ブロックからなるグループを含み、前記所定の半導体集積回路チップは、前記グループのなかに不良の回路ブロックが含まれている場合に該不良の回路ブロックを特定するための不良情報を記憶する記憶部と、前記不良の回路ブロックを置き換えるための置き換え回路部と、を含むことを特徴とする。

【0015】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0016】

図1は、本発明の実施形態に係る積層型半導体装置の構成例を模式的に示した図である。

【0017】

本装置は、ベース基板（パッケージ基板等）10上に半導体集積回路チップ20、30₁及び30₂が積層されたものであり、それらの間にはバンプ（導電性接続部材）40が設けられている。半導体集積回路チップ20、30₁及び30₂には、それぞれ半導体基板を貫通する複数のスループラグ（図示せず）が設けられており、これらのスループラグ及びバンプ40を介して、各チップの回路間が電氣的に接続されている。なお、以下の説明では便宜上、チップ20を特定チップ（所定のチップ）、チップ30₁及び30₂を非特定チップと呼ぶ場合もある。また、非特定チップの数は1以上、好ましくは2以上である。

【0018】

以下、図2、図3及び図4を参照して、半導体集積回路チップ20、30₁及び30₂の概略を説明する。

【0019】

図3（a）～図3（c）は、半導体集積回路チップ（非特定チップ）30（図1の半導体集積回路チップ30₁或いは30₂に対応）のいくつかの態様を示した図である。

【 0 0 2 0 】

図に示すように、チップ 3 0 は回路ブロック 3 1 a ～ 3 1 d を含んで構成されている。図 3 (a) は、回路ブロック 3 1 a ～ 3 1 d がいずれもロジック回路ブロックで構成されているチップ（ロジック系チップ）の例、図 3 (b) は、回路ブロック 3 1 a ～ 3 1 d がいずれもメモリ回路ブロックで構成されているチップ（メモリ系チップ）の例、図 3 (c) は、回路ブロック 3 1 a 及び 3 1 b がロジック回路ブロックで、回路ブロック 3 1 c 及び 3 1 d がメモリ回路ブロックで構成されているチップ（混在チップ）の例である。なお、ロジック回路ブロックは、ロジック回路の組み合わせによって所定の動作を行うよう構成されたものであり、メモリ回路ブロックは、アドレス情報によって選択されるメモリセルが配列した構造を有するものである。

【 0 0 2 1 】

図 3 (a) ～ 図 3 (c) に示した各非特定チップ 3 0 は、任意の組み合わせで積層可能である。すなわち、ロジック系チップのみ、メモリ系チップのみ、混在チップのみといったように、同種のチップのみを積層したものでもよいし、異種のチップを組み合わせで積層したものでもよい。

【 0 0 2 2 】

1 又は 2 以上の非特定チップ 3 0 にロジック回路ブロック及びメモリ回路ブロックの双方が含まれている場合、ロジック回路ブロックからなるグループとメモリ回路ブロックからなるグループとに分けられる。ロジック回路ブロックのグループに含まれる各回路ブロックは、通常は互いに異なった回路構成であり、互いに異なった回路動作が行われる。メモリ回路ブロックのグループに含まれる各回路ブロックは、互いに異なった回路構成であってもよいが、通常は互いに等価な回路構成（実質的に同一の回路構成）になっている。なお、例えば D R A M ブロックと E E P R O M ブロックといったように、異種のメモリ回路ブロックが含まれている場合には、D R A M ブロック及び E E P R O M ブロックそれぞれのグループ内において、各回路ブロックが互いに等価な回路構成になっている。

【 0 0 2 3 】

図 2 は、半導体集積回路チップ（特定チップ） 2 0 の内部構成例を示したプロ

ック図である。

【 0 0 2 4 】

半導体集積回路チップ 2 0 内には、不良情報記憶部 2 1、置き換え回路部 2 2 及び、置き換え回路部 2 2 の制御等を行う制御部 2 3 が含まれている。

【 0 0 2 5 】

不良情報記憶部 2 1 は、チップ 3 0₁ 或いは 3 0₂ に不良回路ブロックが含まれている場合に、該不良回路ブロックを特定するための不良情報を記憶するものである。例えば、不良情報記憶部 2 1 には、不良回路ブロックのアドレス情報が記憶される。また、不良回路ブロックが存在しない場合には、その旨を記憶するようにしてもよい。

【 0 0 2 6 】

不良情報記憶部 2 1 には、例えば不揮発性の記憶素子を用いることができる。この不揮発性の記憶素子には、電氣的に書き込み可能なものを用いてもよいが、本実施形態では、外部からのレーザービームによって溶断されるヒューズを用いている。ヒューズ部は、レーザービームを照射することが可能な位置に配置されており、本例では、図 1 に示すように、チップ 2 0 がチップ 3 0₁ 及び 3 0₂ とオーバーラップしない領域内にヒューズ部 2 1 a が配置されている。なお、ヒューズ部 2 1 a は、レーザービームを照射可能な位置に配置されていればよく、例えば特定チップ 2 0 を最上層に配置した場合には、特定チップ 2 0 表面の所望の位置にヒューズ部 2 1 a を配置することも可能である。

【 0 0 2 7 】

置き換え回路部 2 2 は、チップ 3 0₁ 或いは 3 0₂ に不良回路ブロックが含まれている場合に、不良回路ブロックを置き換えるために用いられる。ロジック回路ブロックの置き換え用としては、外部からプログラム可能なプログラマブル回路、例えば F P G A (Field Programmable Gate Array) が用いられる。チップ 3 0₁ 或いは 3 0₂ に不良のロジック回路ブロックが含まれている場合には、置き換え回路部 2 2 には該不良のロジック回路ブロックと等価な回路が作製（プログラム）されている。チップ 3 0₁ 或いは 3 0₂ に不良のロジック回路ブロックが含まれていない場合には、プログラムされない状態が維持されている。メモリ

回路ブロック置き換え用の置き換え回路部 2 2 では、メモリ回路ブロックと等価な回路がチップ積層前に予め形成されている。

【 0 0 2 8 】

図 4 は、半導体集積回路チップ（非特定チップ） 3 0 の内部構成例を示したブロック図である。

【 0 0 2 9 】

回路ブロック 3 1 a ～ 3 1 d は入出力制御部 3 2 に接続されており、入出力制御部 3 2 では、チップ 2 0 内の不良情報記憶部 2 1 からの不良情報に基づいて、回路ブロック 3 1 a ～ 3 1 d とチップ 2 0 内の置き換え回路部 2 2 との間の入出力関係を制御する。すなわち、回路ブロック 3 1 a ～ 3 1 d の中に不良回路ブロックが含まれている場合には、不良回路ブロックに入力すべき信号は入出力制御部 3 2 を介して置き換え回路部 2 2 に送られ、また、置き換え回路部 2 2 から入出力制御部 3 2 を介して送られてきた信号が不良回路ブロックから出力されるべき信号の代わりに出力信号として用いられる。

【 0 0 3 0 】

図 5 は、図 4 に示した入出力制御部 3 2 について、その具体例を示したブロック図である。

【 0 0 3 1 】

図 5 に示すように、入出力制御部 3 2 には、回路ブロック 3 1 a と回路ブロック 3 1 a 外の回路との間に設けられた選択部 3 2 a、回路ブロック 3 1 b と回路ブロック 3 1 b 外の回路との間に設けられた選択部 3 2 b、回路ブロック 3 1 c と回路ブロック 3 1 c 外の回路との間に設けられた選択部 3 2 c、回路ブロック 3 1 d と回路ブロック 3 1 d 外の回路との間に設けられた選択部 3 2 d、及び、選択部 3 2 a ～ 3 2 d とチップ 2 0 内の置き換え回路部 2 2 との間に設けられた選択部 3 2 r が含まれている。各選択部 3 2 a、3 2 b、3 2 c、3 2 d 及び 3 2 r には、チップ 2 0 内の不良情報記憶部 2 1 からの不良情報が選択信号として入力している。

【 0 0 3 2 】

例えば、回路ブロック 3 1 a が不良である場合を想定して説明する。この場合

には、選択回路 3 2 a では、不良情報記憶部 2 1 からの不良情報に基づき、回路ブロック 3 1 a に対する入出力信号 S_{a1} を非選択状態にし、置き換え回路部 2 2 に対する入出力信号 S_{a2} を選択状態にする。その結果、回路ブロック 3 1 a に入力すべき信号 S_{a3} は、信号 S_{a2} として選択部 3 2 r を介して置き換え回路部 2 2 に送られる。また、回路ブロック 3 1 a から本来出力されるべき信号の代わりに、置き換え回路部 2 2 から選択部 3 2 r を介して送られてきた信号 S_{a2} が、出力信号 S_{a3} として回路ブロック 3 1 a 外の回路に供給される。回路ブロック 3 1 a 以外の正常な回路ブロック 3 1 b、3 1 c 及び 3 1 d については、それぞれ信号 S_{b1} 、 S_{c1} 及び S_{d1} が選択される。なお、回路ブロック 3 1 a ~ 3 1 d のいずれも不良でない場合には、選択部 3 2 a ~ 3 2 d は信号 S_{a1} ~ S_{d1} を選択し、置き換え回路部 2 2 に対する信号の送受は行われぬ。

【 0 0 3 3 】

なお、図 5 に示した入出力制御部の構成は、ロジック回路ブロック及びメモリ回路ブロックいずれについても、それらの入力部、出力部及び入出力部（例えばメモリブロックの I/O 端子のように入力と出力が共通であるもの）に対して適用可能である。ただし、メモリ回路ブロック及びその置き換え回路に対するアドレス信号入力については、図 5 に示したような構成とは異なる構成を採用することも可能である。

【 0 0 3 4 】

図 6 は、そのような構成を採用した場合の、チップ 2 0 内の構成例を示したブロック図である。

【 0 0 3 5 】

本例では、回路ブロック（メモリ回路ブロック）3 1 a ~ 3 1 d のブロック選択信号として、アドレス信号の上位ビット（本例では 2 ビット）を用いている。アドレス信号は、非特定チップに入力してメモリ回路ブロックの選択及びメモリ回路ブロックに含まれるメモリセルの選択に用いられる他、特定チップ 2 0 にも入力している。そして、チップ 2 0 の不良情報記憶部 2 1 には、不良回路ブロックのアクセスに用いられるビット情報（本例では 2 ビット）が不良情報として記憶される。

【 0 0 3 6 】

外部からアドレス信号が供給されると、その上位ビットは、図 2 に示した制御部 2 3 に含まれる選択部 2 4 に送られる。アドレス信号の上位ビットが不良情報記憶部 2 1 に記憶されている不良回路ブロックのアドレスと一致した場合、すなわち不良回路ブロックをアクセスするためのアドレス信号が送られてきた場合には、選択部 2 4 によって置き換え回路部 2 2 が選択される。置き換え回路部 2 2 にはアドレス信号の下位ビットが入力しているため、置き換え回路部 2 2 では指定されたアドレスに対応したメモリセルが選択され、選択されたメモリセルに対してデータの書き込みや読み出しが行われる。置き換え回路部 2 2 の入出力部は、図 4 に示した入出力制御部 3 2 に接続されており、データの送受は入出力制御部 3 2 を介して行われる。

【 0 0 3 7 】

この場合、その一部の上位ビットをメモリ回路ブロックを選択する信号情報としたアドレス信号を特定チップ 2 0 にも供給するとともに、不良回路ブロックを選択するための信号情報を不良情報として記憶しておくことで、アドレス信号入力に対しては図 5 に示したような回路を設けないですむ。また、アドレス信号とは別にメモリ回路ブロックを選択するブロック選択信号が入力される場合についても、アドレス信号入力及びブロック選択信号入力に対して、図 5 に示したような回路を設けない構成を採用可能である。

【 0 0 3 8 】

次に、本実施形態に係る積層型半導体装置の製造方法を、図 7 に示したフローチャートを参照して説明する。なお、本例では、積層型半導体装置にロジック回路ブロック及びメモリ回路ブロックの両方が含まれている場合を想定して説明を行う。

【 0 0 3 9 】

まず、各半導体集積回路チップをベース基板上に積層する（S 1）。続いて、チップが積層された状態でモジュール全体のテストを行う（S 2）。次に、テスト結果に基づいて不良の有無を判断する（S 3）。不良がない場合には、後述する最終テストへと移行する。不良がある場合には、不良情報記憶部 2 1 に不良情

報を書き込む（S4）。次に、不良がロジック回路ブロックの不良であるか否かを判断する（S5）。ロジック回路ブロックの不良でない場合、すなわちメモリ回路ブロックの不良である場合には、後述する最終テストへと移行する。ロジック回路ブロックの不良である場合には、不良ロジック回路ブロックと等価な回路を置き換え回路部22に作製する。例えば、置き換え回路部22にFPGAを用いた場合には、不良ロジック回路ブロックと等価な回路をFPGAにプログラムすればよい（S6）。その後、最終テストを行い、モジュール全体の最終的な良否を判定する（S7）。

【0040】

以上のように、本実施形態によれば、所定のチップ（特定チップ）に、他のチップ（非特定チップ）の不良回路ブロックを特定するための情報を記憶する記憶部と、不良回路ブロックを置き換えるための置き換え回路部を設けている。そのため、チップを積層した状態でモジュール全体のテストを行い、不良回路ブロックが検出された場合には、置き換え回路部を用いることで不良回路ブロックを救済することができる。したがって、テストに費やされる時間や手間を低減することができるとともに、モジュール全体の歩留まりを向上させることができる。また、所定のチップに設けた置き換え回路部を他のチップで共用することができるため、置き換え用の回路を最小限に抑えることが可能となる。したがって、納期の遅延やコストの上昇を防止することが可能な優れた積層型半導体装置を得ることが可能である。

【0041】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0042】

【発明の効果】

本発明によれば、チップを積層した状態でテストが可能で、しかも歩留まりの低下や余分な回路の増大を防止することが可能な優れた積層型半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る積層型半導体装置の構成例を模式的に示した図である。

【図 2】

本発明の実施形態に係り、半導体集積回路チップ（特定チップ）の内部構成例を示したブロック図である。

【図 3】

本発明の実施形態に係り、半導体集積回路チップ（非特定チップ）のいくつかの態様を示した図である。

【図 4】

本発明の実施形態に係り、半導体集積回路チップ（非特定チップ）の内部構成例を示したブロック図である。

【図 5】

図 4 に示した入出力制御部の具体例を示したブロック図である。

【図 6】

本発明の実施形態に係り、半導体集積回路チップ（特定チップ）の内部構成例を示したブロック図である。

【図 7】

本発明の実施形態に係る積層型半導体装置の製造方法を示したフローチャートである。

【符号の説明】

1 0 … ベース基板

2 0、3 0、3 0₁、3 0₂ … 半導体集積回路チップ

2 1 … 不良情報記憶部

2 1 a … ヒューズ部

2 2 …置き換え回路部

2 3 …制御部

2 4 …選択部

3 1 a ～ 3 1 d …回路ブロック

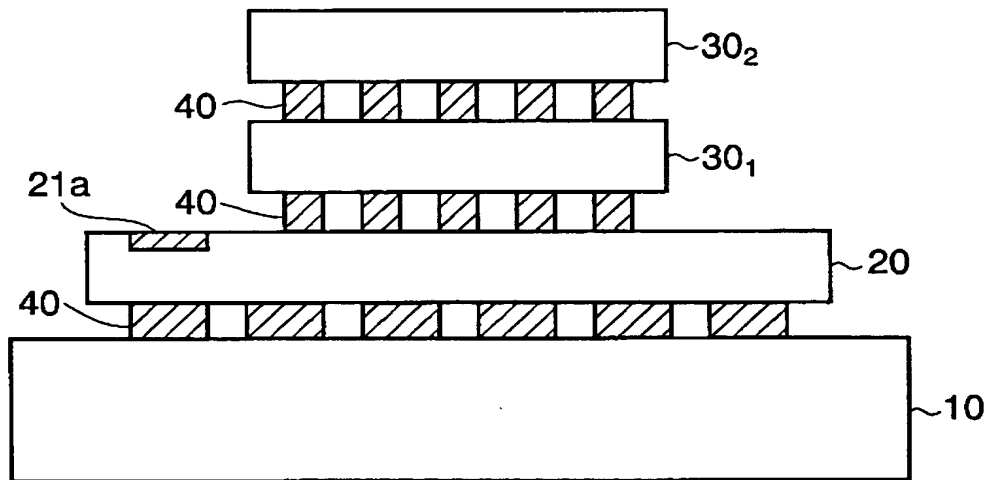
3 2 …入出力制御部

4 0 …バンプ

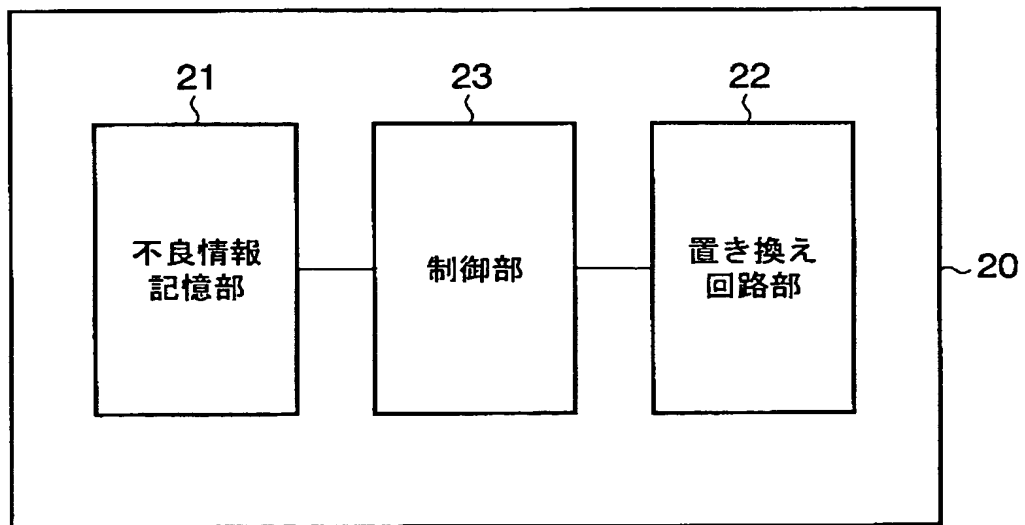
3 2 a ～ 3 2 d、3 2 r …選択部

【書類名】 図面

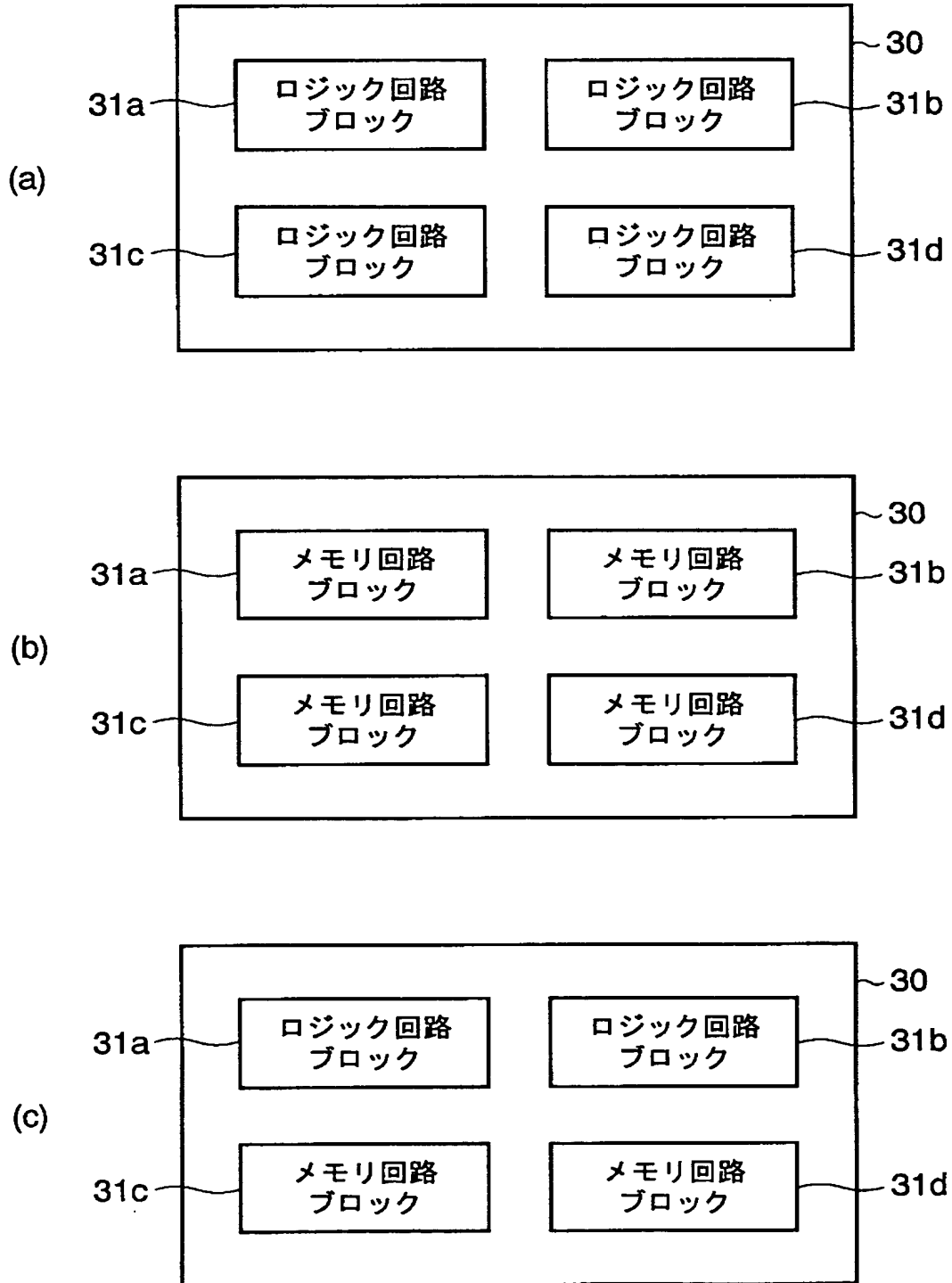
【図 1】



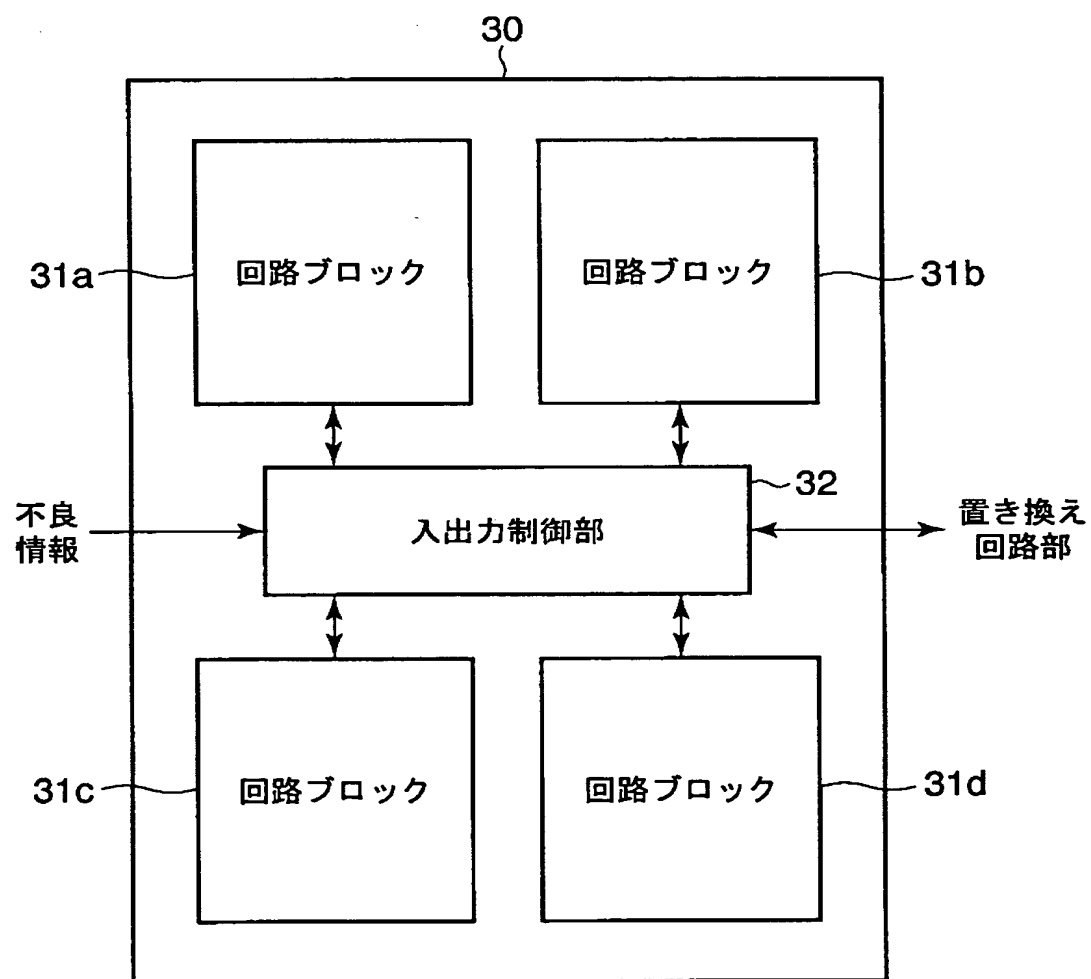
【図 2】



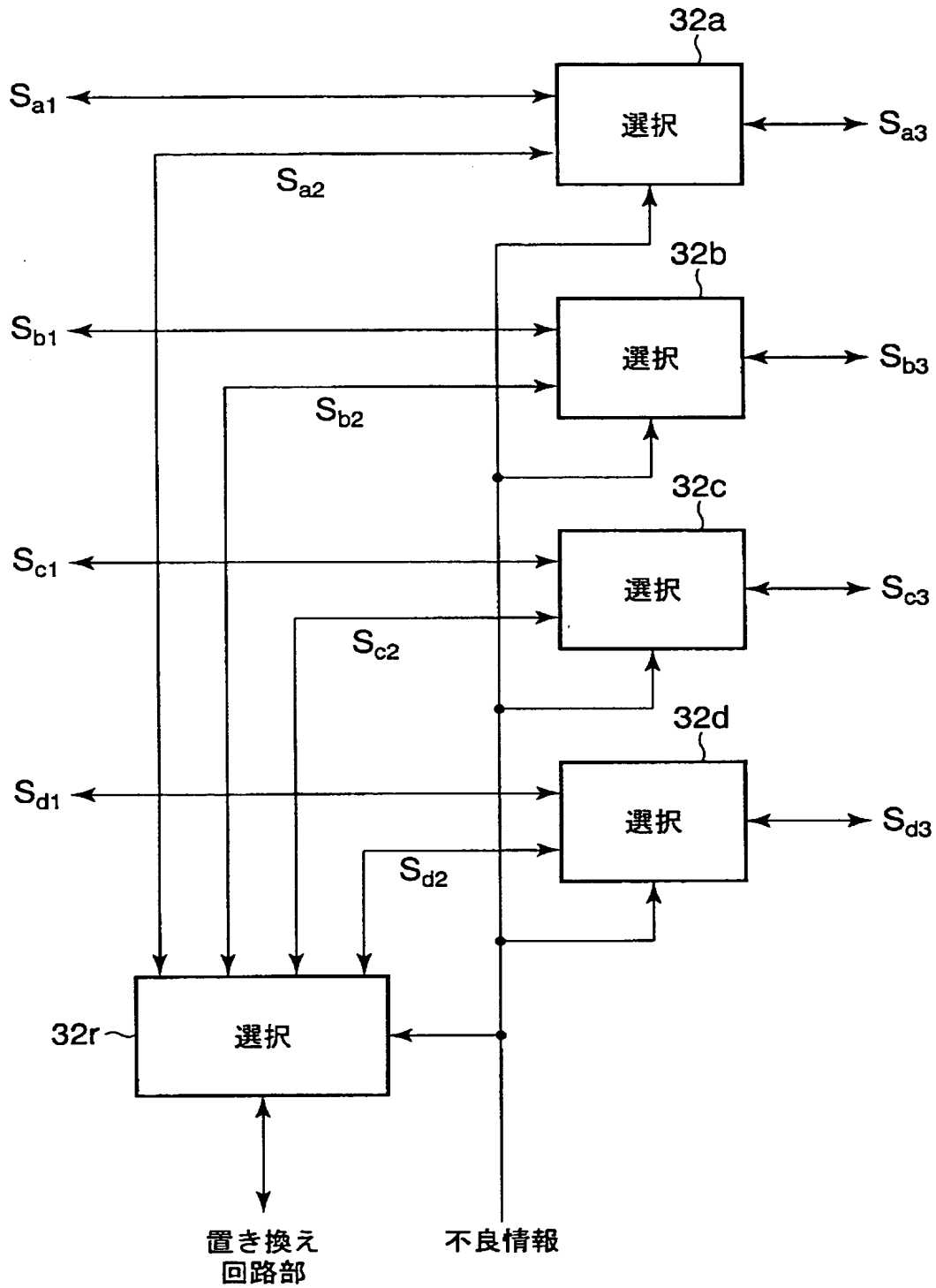
【図 3】



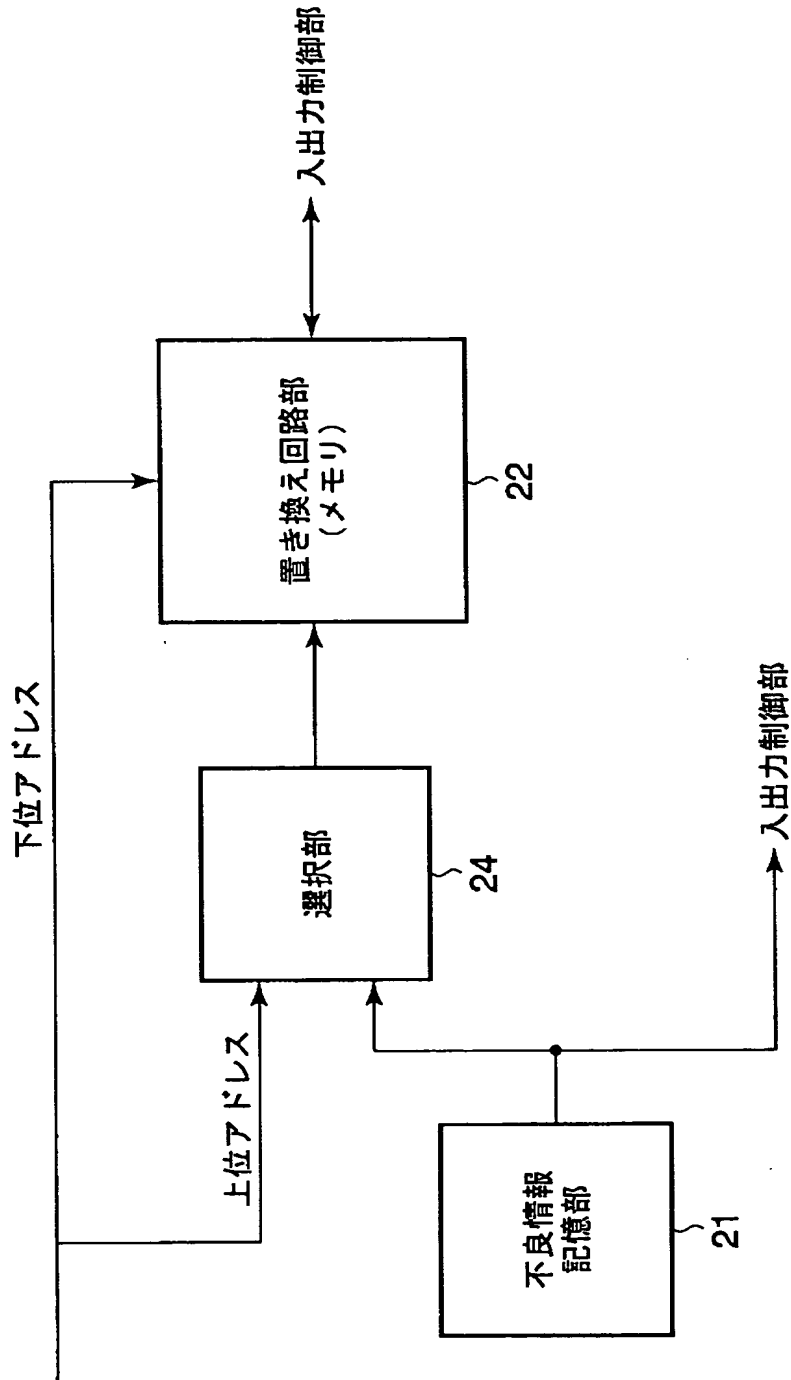
【図 4】



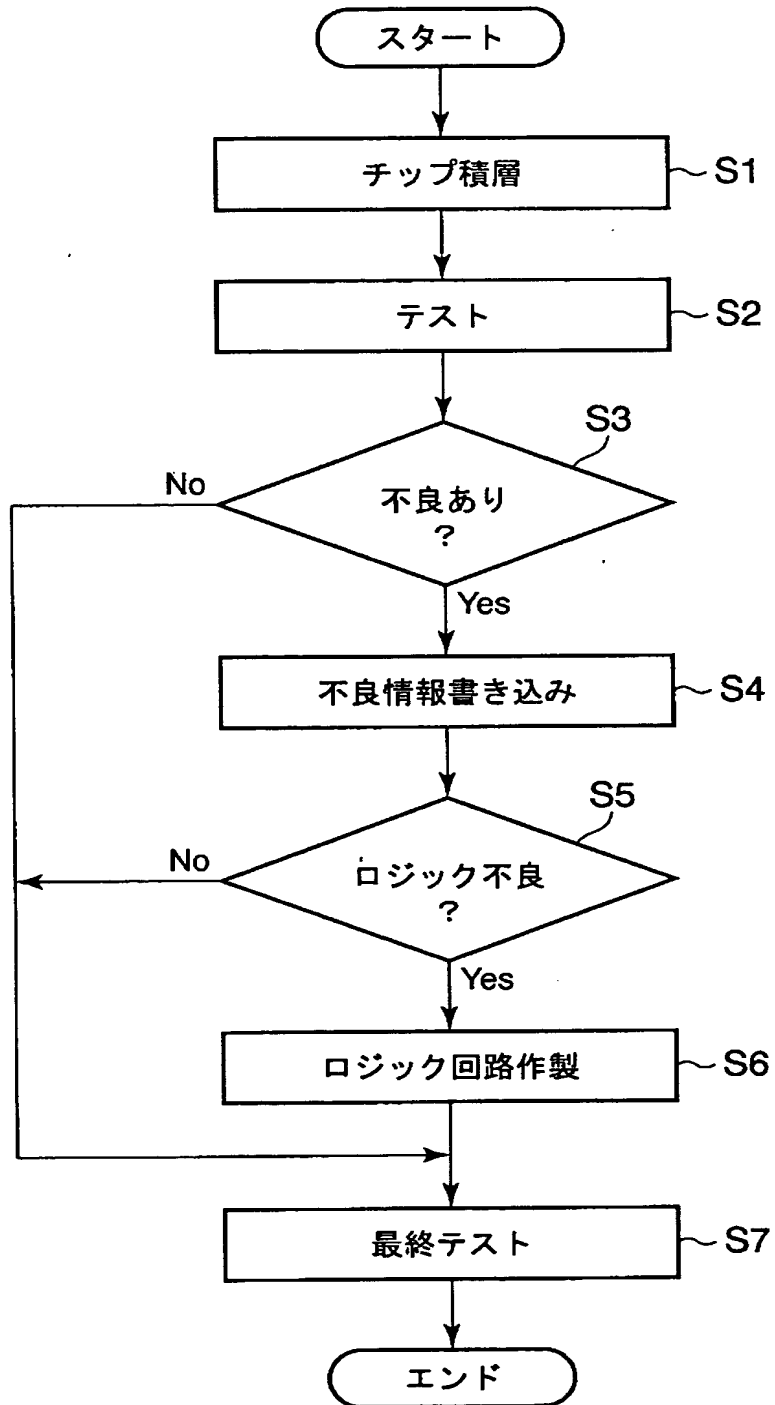
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 チップを積層した状態でテストが可能であり、しかも歩留まりの低下や余分な回路の増大を防止することが可能な積層型半導体装置を提供する。

【解決手段】 所定の半導体集積回路チップ 20 と、該所定の半導体集積回路チップ以外の少なくとも 1 以上の半導体集積回路チップ 30₁、30₂ とが積層された積層型半導体装置であって、少なくとも 1 以上の半導体集積回路チップは、複数の回路ブロックからなるグループを含み、所定の半導体集積回路チップは、グループのなかに不良の回路ブロックが含まれている場合に該不良の回路ブロックを特定するための不良情報を記憶する記憶部と、不良の回路ブロックを置き換えるための置き換え回路部とを含む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝